НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ім. ІГОРЯ СІКОРСЬКОГО»

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

КАФЕДРА СИСТЕМНОГО ПРОГРАМУВАННЯ ТА СПЕЦІАЛІЗОВАНИХ КОМП’ЮТЕРНИХ СИСТЕМ

**Лабораторна робота №5  
з дисципліни «Технологія проектування комп’ютерних систем»**

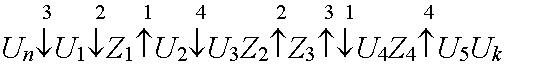
**Варіант 6**

Виконав  
студент 4-го курсу  
групи КВ-41  
Горпинич-Радуженко Іван

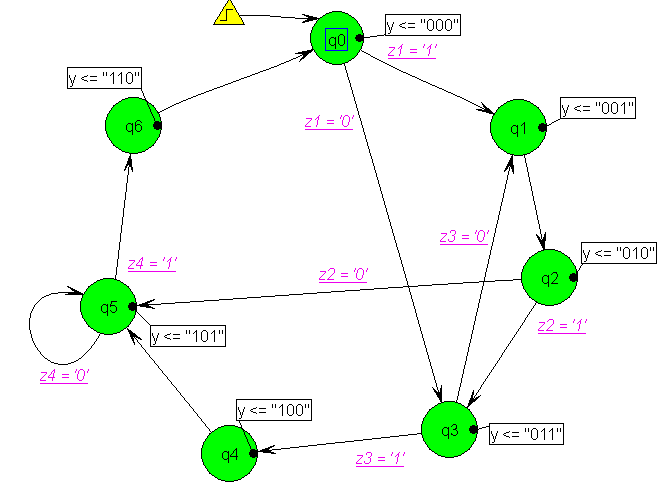
Київ – 2018

**Постановка задачі**

За заданою ЛСА побудувати граф автомату Мура. Описати граф використовуючи State Diagram Editor та згенерувати код мовою A-VHDL. Перевірити правильність роботи на часових діаграмах по графу переходів.



**Граф автомату**

****

**Згенерований код**

library IEEE;

use IEEE.std\_logic\_1164.all;

use IEEE.std\_logic\_arith.all;

use IEEE.std\_logic\_unsigned.all;

entity task1 is

port (

CLK: in STD\_LOGIC;

Reset: in STD\_LOGIC;

Z: in STD\_LOGIC\_VECTOR (1 to 4);

Y: out STD\_LOGIC\_VECTOR (1 to 3));

end task1;

architecture task1 of task1 is

type Sreg0\_type is (

q0, q1, q2, q3, q4, q5, q6

);

signal Sreg0: Sreg0\_type;

begin

Sreg0\_machine: process (CLK)

begin

if CLK'event and CLK = '1' then

case Sreg0 is

when q0 =>

y <= "000";

if z(1) = '1' then

Sreg0 <= q1;

elsif z(1) = '0' then

Sreg0 <= q3;

end if;

when q1 =>

y <= "001";

Sreg0 <= q2;

when q2 =>

y <= "010";

if z(2) = '0' then

Sreg0 <= q5;

elsif z(2) = '1' then

Sreg0 <= q3;

end if;

when q3 =>

y <= "011";

if z(3) = '0' then

Sreg0 <= q1;

elsif z(3) = '1' then

Sreg0 <= q4;

end if;

when q4 =>

y <= "100";

Sreg0 <= q5;

when q5 =>

y <= "101";

if z(4) = '1' then

Sreg0 <= q6;

elsif z(4) = '0' then

Sreg0 <= q5;

end if;

when q6 =>

y <= "110";

Sreg0 <= q0;

when others =>

null;

end case;

end if;

end process;

end task1;

**Часова діаграма**

